

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-060672

(43)Date of publication of application : 06.03.2001

(51)Int.CI. H01L 27/108
H01L 21/8242
H01L 21/3065

(21)Application number : 11-233579 (71)Applicant : MITSUBISHI ELECTRIC CORP

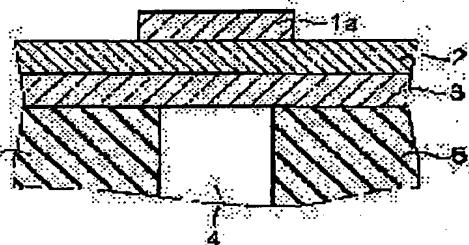
(22)Date of filing : 20.08.1999 (72)Inventor : KASHIWABARA KEIICHIROU

(54) ETCHING METHOD AND ETCHING MASK

(57)Abstract:

PROBLEM TO BE SOLVED: To realize an etching method, where a hard mask is used, wherein the hard mask is formed of a material which is high in adhesion with respect to an electrode material and does not have complicated formation and removal processes through a simple process and whose selection ratio of etching to the electrode material is high.

SOLUTION: A TiSiN(titanium silicide nitride) film or a laminated film of TiSiN film and TiSi film is used as a hard mask. A TiSiN film 1a is superior in adhesion to a metal 2 and high in etching selectivity to the metal 2, and TiSi is higher in etching selectivity to the metal 2 than TiSiN, so that these materials are used as an etching mask, and by which a mask pattern is hardly separated from a metal, even in the case where metal such as Pt or the like is used as the material for an electrode, and a hard mask patterning itself is facilitated. If a TiSiN film is used as a barrier metal layer 3, processes where a hard mask and a barrier metal layer are formed and removed can be carried out quickly.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(2)

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2001-60672

(P 2001-60672 A)

(43)公開日 平成13年3月6日(2001.3.6)

(51)Int.C1.	識別記号	F I	マークコード (参考)
H01L 27/108		H01L 27/10	621 Z 5F004
21/8242		21/302	J 5F083
21/3065		27/10	651

審査請求 未請求 請求項の数 7 O L (全11頁)

(21)出願番号 特願平11-233579
 (22)出願日 平成11年8月20日(1999.8.20)

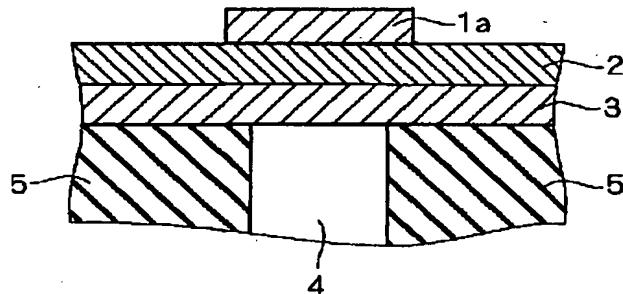
(71)出願人 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目2番3号
 (72)発明者 柏原 慶一朗
 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
 (74)代理人 100089233
 弁理士 吉田 茂明 (外2名)
 F ターム(参考) 5F004 AA04 BA20 CA04 CA06 DA01
 DA04 DA23 DA26 DB08 DB12
 EA03 EA09 EA10 EB02
 5F083 AD21 AD48 AD49 JA14 JA35
 JA38 JA39 JA40 MA06 MA17
 PR03 PR05 PR07 PR22

(54)【発明の名称】エッティング方法およびエッティングマスク

(57)【要約】

【課題】 電極材料に対し密着性が高く、かつ電極材料に対しエッティング選択性が高く、しかも形成および除去の工程が複雑でない材料をハードマスクに用いたエッティング方法を実現する。

【解決手段】 ハードマスクにTiSiN(珪化窒化チタン)膜またはTiSiN膜とTiSi膜との積層膜を用いる。TiSiN膜1aは金属2への密着性がよく、しかも金属に対するエッティング選択性の高い材料であり、またTiSiはTiSiNよりもさらに金属に対するエッティング選択性の高い材料であるので、これらの材料をエッティングマスクとして用いることによって、従来ハードマスクとして採用されていたSiO₂膜等の有する問題点を解消することができる。また、バリアメタル層3にもTiSiN膜を採用すれば、ハードマスクとバリアメタル層の形成および除去の工程においてプロセスを迅速に進めることができる。



【特許請求の範囲】

【請求項1】 基板を準備する第1工程と、前記基板上に被エッチング膜を形成する第2工程と、第1のTiSiN膜を前記被エッチング膜の表面に形成する第3工程と、前記第1のTiSiN膜をフォトリソグラフィ技術によりバーニングする第4工程と、バーニングされた前記第1のTiSiN膜をエッチングマスクとして前記被エッチング膜にエッチングを施す第5工程とを備えるエッチング方法。

【請求項2】 前記第4工程の後、前記第5工程に先立って、前記第1のTiSiN膜に等方性エッチングを施す第6工程をさらに備える請求項1記載のエッチング方法。

【請求項3】 前記第4工程に先立って、前記第1のTiSiN膜の表面にTiSi膜を形成する第6工程をさらに備え、

前記第4工程において、前記第1のTiSiN膜と前記TiSi膜とをフォトリソグラフィ技術により同形にバーニングする、請求項1記載のエッチング方法。

【請求項4】 前記第4工程の後、前記第5工程に先立って、前記第1のTiSiN膜および前記TiSi膜に等方性エッチングを施す第7工程をさらに備える請求項3記載のエッチング方法。

【請求項5】 前記基板上に第2のTiSiN膜を形成する第8工程を前記第2工程に先立ってさらに備える、請求項1乃至4のいずれかに記載のエッチング方法。

【請求項6】 TiSiN膜からなることを特徴とするエッチングマスク。

【請求項7】 TiSiN膜からなる第1層と、前記第1層の上面に形成された、TiSi膜からなる第2層とを備えるエッチングマスク。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置等を製造する際に用いられるエッチング方法と、そのエッチング方法に用いられるエッチングマスクとに関するものである。

【0002】

【従来の技術】図12は、BST(チタン酸バリウムストロンチウム)等の高誘電率材料を誘電体層として用いたキャバシタを備えるDRAMを示す断面図である。このDRAMは、半導体基板13上に形成されたMISFET18とキャバシタ19とから構成されている。半導体基板13の内部には素子分離領域14および活性領域15が形成され、半導体基板13の表面にはMISゲート16、コンタクトプラグ4、ピット線17および層間絶縁膜5が形成されている。MISFET18は1つのMISゲート16とその直下の半導体基板13を挟む2つの活性領域15とから成り立っている。

【0003】また、キャバシタ19は、上部電極10と、高誘電率材料からなる誘電体層9と、バリアメタル層3およびコンタクトプラグ4を介して活性領域15に接続された下部電極2とから成り立っている。ここでバリアメタル層3は、コンタクトプラグ4の接触による下部電極2への悪影響(例えばコンタクトプラグ4にポリシリコンを採用し、下部電極2に金属膜を採用する場合、金属がポリシリコンと接触してシリサイド化し、抵抗値が上昇する等の影響)を防ぐ目的で両者の間に形成されている。バリアメタル層3の材料には例えばTiNやTaN等が採用される。また、バリアメタル層3の誘電体層9への接触を防ぐために下部電極側壁8が形成されている。

【0004】なお、MISFET18が2つ形成されていることに対応してキャバシタ19も2つ形成され、図12ではピット線17の両側に下部電極2、バリアメタル層3および下部電極側壁8が2組並んで形成されている。ただし、誘電体層9および上部電極10は左右のキャバシタ19で共通である。

【0005】なお、図12では上部電極10の上面には層間絶縁膜11が形成され、さらに層間絶縁膜11の上面には配線層12が形成されている。

【0006】高誘電率材料を誘電体層として用いるキャバシタの電極の材料としては、例えばPt(白金)等の金属が用いられる。このような金属からなる電極は、例えばドライエッチングによって形成することができる。ただし、Pt等の金属は常温付近では化学反応に対し不活性であるので、常温付近のエッチング条件下では化学反応によるエッチングはあまり起こらずに、ほとんど物理的なエッチングのみによってエッチングプロセスが進行する(このようなエッチングプロセスを以下ではスパッタエッチングと称する)。

【0007】Pt等の金属に対しスパッタエッチングを行うときのプロセスの手順を、図12に示したキャバシタ19の形成過程を例にとり図13~図19を用いて説明する。まず、層間絶縁膜5およびコンタクトプラグ4までが形成されている半導体基板13を準備し、層間絶縁膜5およびコンタクトプラグ4の表面にバリアメタル層材料3と下部電極材料2(Pt等の金属)とをこの順に積層して成膜する。そして、下部電極材料2の表面にフォトレスト6を形成し、フォトリソグラフィ技術を用いてバーニングを行う(図13)。次に、スパッタエッチングにより下部電極材料2のうちフォトレスト6に覆われていない部分を除去する(図14)。

【0008】ただしスパッタエッチングの際には、スパッタリングによって下部電極材料2の再堆積が起こり、その再堆積物がレジスト6に付着してしまいやすい。レジスト6の上面においてはスパッタエッチングを受けるために付着した再堆積物はすぐに除去されるが、レジスト6の側面には図14に示すように下部電極2とつなが

る付着物7が形成されてしまう。

【0009】その後、バリアメタル層材料3についてもフォトレジスト6および下部電極2に覆われていない部分を除去し(図15)、残ったフォトレジスト6も除去する(図16)。付着物7は下部電極2がキャバシタの電極として機能するのに障害となるので、スクラバ処理を行い、付着物7を吹き飛ばしてこれを除去する(図17)。

【0010】そして、下部電極側壁8の材料を下部電極2、バリアメタル層3および層間絶縁膜5を覆うように形成し(図18)、スパッタエッチングによりエッチバックを行う(図19)。この後、誘電体層9および上部電極10を形成すれば、キャバシタ19が形成できる。

【0011】

【発明が解決しようとする課題】しかし、上記のような付着物7を取り除いたとしても、キャバシタの信頼性が劣化し、歩留まりが低下する可能性があった。スクラバ処理において付着物7が完全には除去しきれずに、付着物7の残渣が例えば上部電極10と下部電極2とを短絡してしまう場合があるからである。また、図17～図19に示すように、付着物7のスクラバ処理後には付着物の痕跡7aが残り、この痕跡7aが突起状であるためキャバシタ動作時に電界集中を生じさせ、リーク電流を引き起こす可能性もある。

【0012】このような付着物7の発生を抑制するためには、フォトレジスト6の膜厚をできるだけ少なくして側面積を減らすようにすればよい。側面積を減らせば再堆積物のフォトレジスト6への付着量が減少するからである。また、フォトレジスト6の側面の最上部付近は、上からのスパッタエッチングの影響で再堆積物が付着しにくいので、膜厚が薄くなることで結果的にフォトレジスト6の側面に付着物が生じにくいともいえる。

【0013】しかし、フォトレジスト6の膜厚を少なくすると、下部電極材料2をスパッタエッチングする際に、フォトレジスト6がエッチングマスクとしての機能を果たさなくなる可能性がある。フォトレジストの物理的な強度は高くはなく、図14、図15に示すようにスパッタエッチングの進行に伴ってフォトレジスト6も除去されてゆくので、膜厚を少なくするとフォトレジスト6が完全に除去される可能性があるからである。よって、フォトレジスト6の膜厚を少なくすることは困難である。

【0014】そこで、フォトレジストではなく、物理的な強度の高い材料をエッチングマスクに用いることが考えられている(以下そのようなエッチングマスクをハードマスクと称する)。以下では、ハードマスクを用いた場合のエッチングプロセスの手順を、図12に示したキャバシタ19の形成過程を例にとり図20～図24を用いて説明する。

【0015】まず、層間絶縁膜5およびコンタクトプラ

グ4までが形成されている半導体基板13を準備し、層間絶縁膜5およびコンタクトプラグ4の表面にバリアメタル層3と下部電極材料2とハードマスク材料1とをこの順に積層して形成する。そして、ハードマスク材料1の表面にフォトレジスト6を形成し、フォトリソグラフィ技術を用いてパターニングを行う(図20)。次に、ドライエッチング等によりハードマスク材料1のうちフォトレジスト6に覆われていない部分を除去し、さらにフォトレジスト6も除去する(図21)。

【0016】そして、スパッタエッチングにより下部電極材料2のうちハードマスク材料1に覆われていない部分を除去する(図22)。その後、バリアメタル層3についてもハードマスク材料1に覆われていない部分を除去し(図23)、ハードマスク1を除去する(図24)。

【0017】この後、図18、図19の場合と同様にして下部電極側壁8を形成し、さらに誘電体層9および上部電極10を形成すれば、キャバシタが形成できる。

【0018】このようにハードマスクを用いる場合、その膜厚を少なくすることができるので、スパッタエッチングの際にハードマスク1の側面に下部電極2の再堆積物の付着が生じにくい。よって、スクラバ処理を必要とせず、付着物の残渣が短絡を引き起こすことやキャバシタに突起状の痕跡が生じることがないため、キャバシタの信頼性が劣化し、歩留まりが低下する可能性が少ない。このようなハードマスクの材料として、図25に示すようなSiO₂(二酸化シリコン)膜1cや、図26に示すようなTiN(窒化チタン)膜1dが用いられている。

【0019】さて、スパッタエッチングだけでなく化学反応によるエッチングをも伴うエッチング(このようなエッチングを以下では反応性エッチングと称する)を用いて下部電極2を形成することによっても、上記のような付着物の発生を抑制できる。反応性エッチングの場合、化学反応によるエッチングを伴うので、スパッタリソーリングにより生じる下部電極材料2の再堆積物の量が減少し、再堆積物がエッチングマスクの側面に付着しにくいうちである。

【0020】そのためには、Pt等の金属が化学反応に対し活性となる温度条件下でエッチングを行う。つまり、エッチング時の温度を高くする必要がある。ところが、フォトレジストをエッチングマスクとして用いるエッチングの場合、例えば200℃程度でフォトレジストがエッチングマスクとして機能しなくなることがあるため、エッチング条件を高温にするのは困難であった。

【0021】一方、ハードマスクの場合には耐熱性を備えた材料を選ぶことが可能であり、先述のSiO₂膜やTiN膜も、Pt等の金属が化学反応に対し活性となる温度条件下では耐熱性がある。よって、図20～図24に示したスパッタエッチングと同様のプロセスで反応性

エッティングも行える。このように反応性エッティングを用いる場合、下部電極2の形成に際して化学反応によるエッティングが行えるので、スパッタエッティングのみの場合よりもさらに付着物が生じにくい。

【0022】しかし、ハードマスクの材料として用いられるSiO₂膜やTiN膜は、必ずしもハードマスクに適した材料というわけではない。特に電極の材料にPt等の金属を用いる場合、これらの材料は問題点を有している。すなわち、SiO₂膜はPt等の金属との密着性が悪く、パターンのはがれが生じやすい。また、TiN膜はPt等の金属に対するエッティング選択比が充分ではない。エッティング選択比の不足を補うためにハードマスクの膜厚を厚くすると、付着物が生じやすくなるし、また、ハードマスク自体をバーニングするのが困難となってしまう。

【0023】そこで、SiO₂膜およびTiN膜のそれの問題点を補うために、TiN膜1dの上にSiO₂膜1cを形成した図27に示すようなSiO₂/TiN積層膜をハードマスクに採用することが考えられている。

【0024】しかし、SiO₂/TiN積層膜は、その形成および除去の工程が増えてしまい、プロセスが複雑になるという点が問題となる。特に形成工程においては、TiN膜はPVD(Physical Vapor Deposition)法により形成され、SiO₂膜はCVD(Chemical Vapor Deposition)法で形成されるために、PVD装置から取り出してCVD装置に移し替える必要があった。

【0025】本発明は、以上の問題点を解決するためになされたものであり、電極材料に対し密着性が高く、かつ電極材料に対しエッティング選択比が高く、しかも形成および除去の工程が複雑でない材料をハードマスクに用いたエッティング方法を実現する。

【0026】

【課題を解決するための手段】この発明のうち請求項1にかかるものは、基板を準備する第1工程と、前記基板上に被エッティング膜を形成する第2工程と、第1のTiSiN膜を前記被エッティング膜の表面に形成する第3工程と、前記第1のTiSiN膜をフォトリソグラフィ技術によりバーニングする第4工程と、バーニングされた前記第1のTiSiN膜をエッティングマスクとして前記被エッティング膜にエッティングを施す第5工程とを備えるエッティング方法である。

【0027】この発明のうち請求項2にかかるものは、請求項1記載のエッティング方法であって、前記第4工程の後、前記第5工程に先立って、前記第1のTiSiN膜に等方性エッティングを施す第6工程をさらに備える。

【0028】この発明のうち請求項3にかかるものは、請求項1記載のエッティング方法であって、前記第4工程に先立って、前記第1のTiSiN膜の表面にTiSi膜を形成する第6工程をさらに備え、前記第4工程にお

いて、前記第1のTiSiN膜と前記TiSi膜とをフォトリソグラフィ技術により同形にバーニングする。

【0029】この発明のうち請求項4にかかるものは、請求項3記載のエッティング方法であって、前記第4工程の後、前記第5工程に先立って、前記第1のTiSiN膜および前記TiSi膜に等方性エッティングを施す第7工程をさらに備える。

【0030】この発明のうち請求項5にかかるものは、請求項1乃至4のいずれかに記載のエッティング方法であって、前記基板上に第2のTiSiN膜を形成する第8工程を前記第2工程に先立ってさらに備える。

【0031】この発明のうち請求項6にかかるものは、TiSiN膜からなることを特徴とするエッティングマスクである。

【0032】この発明のうち請求項7にかかるものは、TiSiN膜からなる第1層と、前記第1層の上面に形成された、TiSi膜からなる第2層とを備えるエッティングマスクである。

【0033】

【発明の実施の形態】実施の形態1. 本実施の形態は、ハードマスクにTiSiN(珪化窒化チタン)膜を用いるエッティング方法である。TiSiN膜はPt等の金属への密着性がよく、しかもPt等の金属に対するエッティング選択性の高い材料であり、この材料をエッティングマスクとして用いることによって、従来、ハードマスクとして採用されていたSiO₂膜、TiN膜およびSiO₂/TiN積層膜の有する問題点を解消することができる。

【0034】なお本実施の形態においても図12に示したキャバシタ19の形成過程を例にとり、下部電極材料2を被エッティング膜として採用したエッティングプロセスを図1～図5を用いて説明する。

【0035】層間絶縁膜5およびコンタクトプラグ4までが形成されている半導体基板13を準備し、層間絶縁膜5およびコンタクトプラグ4の表面に例えばTiNからなるバリアメタル層材料3と例えばPtからなる下部電極材料2とをこの順に積層して形成する(図1)。例えば、バリアメタル層材料3の膜厚は150～200nm程度、下部電極材料2の膜厚は200～300nm程度とすればよい。

【0036】そして、下部電極材料2の上にハードマスク材料としてTiSiN膜1aを形成する(図2)。TiSiN膜1aは、PVD装置を用いて例えばN₂ガス中でTiSiのスパッタリングターゲットをスパッタすることで形成できる。その膜厚は、例えば150～200nm程度とすればよい。

【0037】そして、TiSiN膜1aの表面にフォトレジスト6を形成し、フォトリソグラフィ技術を用いてバーニングを行う(図3)。次に、例えば常温付近の温度でCl₂/Ar混合ガスをエッチャントとする反応

性イオンエッティングによって、 $TiSiN$ 膜1aのうちフォトレジスト6に覆われていない部分を除去する(図4)。このとき、反応性イオンエッティングを常温付近の温度で行い、金属が化学反応に対して活性となる温度で行わないで、下部電極材料2を除去することなく、 $TiSiN$ 膜1aのみをエッティングすることが可能である。なお、 $TiSiN$ 膜1aは、 Cl_2/Ar 混合ガス等の Cl_2 系ガスのほかに、例えば CF_4/O_2 等のフッ素系ガスをエッチャントとする反応性イオンエッティングによっても行える。

【0038】そして、さらにフォトレジスト6も除去する(図5)。これによりハードマスクのパターニングが終了する。

【0039】この後、図22と同様にして下部電極材料2をエッティングする。下部電極材料2に対してスパッタエッティングを行う場合、例えば Ar/O_2 混合ガスをエッチャントとしてエッティングを行えばよい。下部電極材料2が例えばPtである場合、例えば、ヘリコン波プラズマエッティング装置を用いて、 Ar/O_2 混合ガスの流量(単位はsccm)の割合を $Ar:O_2 = 4:1$ とし、圧力を1.6mTorr、ステージ温度を40°C、ソースパワーを1600W、バイアスパワーを300Wとして下部電極材料2のスパッタエッティングを行えば、 $TiSiN$ 膜1aと下部電極材料2との間のエッティング選択比(単位時間当たりのエッティング可能膜厚量の比)を、1:49とすることも可能である。

【0040】また、下部電極材料2に対して反応性エッティングを行う場合には、例えば Cl_2/O_2 混合ガスをエッチャントとし、ステージ温度の設定を270°C以上としてエッティングを行えばよい。この場合、 Cl_2 ガスに O_2 ガスが混合されているので、 $TiSiN$ 膜1aをエッティングすることなく下部電極材料2のみをエッティングすることが可能となる。

【0041】続いてバリアメタル層3についても、従来の場合と同様、図23に示したように $TiSiN$ 膜1aに覆われていない部分を除去する。その後、パターニング時と同様、例えば常温付近の温度で Cl_2/Ar 混合ガスをエッチャントとする反応性イオンエッティングによって $TiSiN$ 膜1aを除去する。

【0042】なお、バリアメタル層材料3には、例えばTiN、WN、TaN、WSiN、TaSiN等の遷移金属の窒化物または珪化窒化物を用いればよいが、ハードマスクと同じ材料である $TiSiN$ を用いることもできる。バリアメタル層3がハードマスクと同じ $TiSiN$ 膜である場合、ハードマスクとバリアメタル層の形成および除去の工程においてプロセス上の利点がある。

【0043】形成工程においては、下部電極材料2と $TiSiN$ 膜とを同じPVD装置内の異なるチャンバーにセットしておくことで、バリアメタル層3の形成後、チャンバーを切り替えて下部電極材料2を形成し、再びT

$iSiN$ のチャンバーを選択してハードマスクとしての $TiSiN$ 膜1aを形成することができる。すなわち、従来の SiO_2/TiN 積層膜の場合のように、装置を入れ替えて各層を形成する必要がない。

【0044】また、除去工程においては、バリアメタル層3のエッティング時にハードマスクである $TiSiN$ 膜1aも一緒に除去されるので、例えばハードマスクの膜厚とバリアメタル層の膜厚を同じにしておくなどして各層の膜厚を調整しておき、エッティング条件を整えることで、図22の後、図23を経ることなく直ちに図24の状態にプロセスを進行させることができる。

【0045】本実施の形態にかかるエッティング方法を用いれば、被エッティング膜がPt等の金属である場合に、 $TiSiN$ 膜が、被エッティング膜への密着性に優れ、かつ被エッティング膜とのエッティング選択比の高いエッティングマスクとして機能する。さらに、従来の SiO_2/TiN 積層膜の場合と異なり、 $TiSiN$ 膜の形成および除去の工程が複雑ではない。

【0046】また、バリアメタル層3が $TiSiN$ 膜である場合、ハードマスクとバリアメタル層の形成および除去の工程において、プロセスを迅速に進めることができる。

【0047】なお、本実施の形態においては被エッティング膜の例としてPt等の金属をとりあげたが、 $TiSiN$ 膜はその他の材料に対してもハードマスクとして機能する。また、 $TiSiN$ 膜は、スパッタエッティングや反応性エッティング等のドライエッティングに限らず、金属のウェットエッティングのエッティングマスクとしても機能する。よって、本実施の形態はエッティング方法一般に適用することが可能である。

【0048】実施の形態2。本実施の形態は、実施の形態1の変形例であって、ハードマスクに $TiSiN$ 膜と $TiSi$ 膜との積層膜を用いるエッティング方法である。 O_2 系ガスを用いてエッティングを行う場合、 $TiSi$ 膜はPt等の金属に対するエッティング選択性が $TiSiN$ 膜よりも高く、この材料を $TiSiN$ 膜の上面に積層することでさらにエッティング選択性の優れたエッティングマスクを実現することができる。

【0049】本実施の形態においても図12に示したキャバシタ19の形成過程を例にとり、下部電極材料2を被エッティング膜として採用したエッティングプロセスを図6～図9を用いて説明する。

【0050】実施の形態1において述べたと同様、層間絶縁膜5およびコンタクトプラグ4までが形成されている半導体基板13を準備し、層間絶縁膜5およびコンタクトプラグ4の表面にバリアメタル層材料3と下部電極材料2とをこの順に積層して形成する。

【0051】そして、下部電極材料2の上にハードマスク材料として $TiSiN$ 膜1aおよび $TiSi$ 膜1bをこの順に形成する(図6)。 $TiSiN$ 膜1aは、PV

D装置を用いて例えばN₂ガス中でTiSiのスパッタリングターゲットをスパッタすることで形成できる。その膜厚は、例えば50nm程度とすればよい。また、TiSi膜1bは、TiSiN膜1aの形成後、同じPV D装置およびスパッタリングターゲットを用いて、ただガスをN₂ガスからArガスに変えるだけでプロセスを中断することなく連続して形成できる。その膜厚は、例えば100~150nm程度とすればよい。

【0052】そして実施の形態1と同様、TiSiN膜1aおよびTiSi膜1bの積層膜の表面にフォトレジスト6を形成し、フォトリソグラフィ技術を用いてパターニングを行う(図7)。続いて実施の形態1と同様、例えば常温付近の温度でC1₁/Ar混合ガスをエッチャントとする反応性イオンエッティングによって、TiSiN膜1aおよびTiSi膜1bのうちフォトレジスト6に覆われていない部分を除去し、TiSiN膜1aおよびTiSi膜1bを同形にパターニングする(図8)。

【0053】そして、フォトレジスト6も除去する(図9)。これによりハードマスクのパターニングが終了する。

【0054】この後、図22と同様にして下部電極材料2をエッティングする。例えば、Ar/O₂混合ガスをエッチャントとして下部電極2に対してスパッタエッティングを行う場合、下部電極材料2がPtのときは、実施の形態1と同様、例えば、ヘリコン波プラズマエッティング装置を用いて、Ar/O₂混合ガスのガス流量(単位はsccm)の割合をAr:O₂=4:1とし、圧力を1.6mTorr、ステージ温度を40°C、ソースパワーを1600W、バイアスパワーを300Wとすることで、TiSi膜1bと下部電極材料2との間のエッティング選択比を1:69とすることも可能である。

【0055】また、下部電極2に対して反応性エッティングを行う場合にも、実施の形態1と同様、例えばC1₁/O₂混合ガスをエッチャントとし、ステージ温度の設定を270°C以上としてエッティングを行えばよい。この場合も、C1₁ガスにO₂ガスが混合されているので、TiSiN膜1aおよびTiSi膜1bをエッティングすることなく下部電極材料2のみをエッティングすることができる。

【0056】続いてバリアメタル層3についても、実施の形態1と同様、図23に示したようにTiSiN膜1aに覆われていない部分を除去する。その後、パターニング時と同様、例えば常温付近の温度でC1₁/Ar混合ガスをエッチャントとする反応性イオンエッティングによってTiSiN膜1aおよびTiSi膜1bを除去する。

【0057】なお、TiSi膜1bを単独でハードマスクとして用いることも考えられるが、Pt等の金属にTiSi膜を直接接触させた構造の場合、200°C以上の

高温でTiSi膜と下部電極材料2との間で合金化と考えられる反応が起こるため、TiSiN膜1aをTiSi膜1bと下部電極材料2との間に挟んでバリア層とすることが望ましい。

【0058】また、実施の形態1と同様、バリアメタル層3がTiSiN膜である場合、ハードマスクとバリアメタル層の形成および除去の工程においてプロセスを迅速に進めることができるというプロセス上の利点がある。この場合、TiSi膜1bとバリアメタル層3のTiSiN膜とのエッティングレートやエッティング条件等を考慮して、ハードマスクのTiSiN膜1aおよびTiSi膜1bの各層の膜厚、並びにバリアメタル層3のTiSiN膜の膜厚を決定しておけばよい。

【0059】本実施の形態にかかるエッティング方法を用いれば、実施の形態1と同様の効果を有する。さらに、O₂系ガスを用いてエッティングを行う場合、TiSi膜はPt等の金属に対するエッティング選択性がTiSiN膜よりも高く、この材料をTiSiN膜の上面に積層することでさらにエッティング選択性の優れたエッティングマスクを実現することができる。

【0060】また、バリアメタル層3がTiSiN膜である場合、ハードマスクとバリアメタル層の形成および除去の工程において、プロセスを迅速に進めることができる。

【0061】なお、本実施の形態においても被エッティング膜の例としてPt等の金属をとりあげたが、TiSiN膜およびTiSi膜の積層膜はその他の材料に対してもハードマスクとして機能する。また、TiSiN膜およびTiSi膜の積層膜は、スパッタエッティングや反応性エッティング等のドライエッティングに限らず、ウェットエッティングのエッティングマスクとしても機能する。よって、本実施の形態もエッティング方法一般に適用することが可能である。

【0062】実施の形態3。本実施の形態は、実施の形態1または2の変形例であって、フォトリソグラフィ技術によるパターニング終了後のハードマスクに対し、さらに等方性エッティングを施してパターンサイズがより小さいハードマスクに加工するエッティング方法である。

【0063】以下では本実施の形態を、実施の形態1にかかるエッティング方法を例にとって図10、図11を用いて説明する。

【0064】まず、実施の形態1にかかるエッティング方法を用いて図5の状態にする。その後、TiSiN膜1aに例えればフッ酸と過酸化水素水との混合液(例えれば、HF:H₂O₂=500:1の体積濃度割合の混合液)を用いたウェットエッティングを施し、エッティング時間を調節することによりTiSiN膜1aのパターンサイズを細くする(図10)。そして、細くしたTiSiN膜1aをハードマスクとして、上述のようにスパッタエッティングまたは反応性エッティングを施し、下部電極材料2を

バターニングする(図11)。

【0065】このように、フォトリソグラフィ技術を用いてバターニングしたTiSiN膜にさらに等方性エッティングを施すことにより、フォトリソグラフィ技術の光学的限界によって規定される最小バターンサイズよりもさらに小さいパターンを形成することが可能となる。

【0066】なお、等方性エッティングの例として上記ではフッ酸と過酸化水素水との混合液を用いたウェットエッティングを挙げたが、下部電極材料2をエッティングすることなくTiSiN膜だけを等方にエッティングできるのであれば、その他のウェットエッティングまたはドライエッティングを用いてもよい。上記のフッ酸と過酸化水素水との混合液を用いたウェットエッティングによれば、下部電極材料にPt等の金属を用いた場合に下部電極材料2をエッティングすることなくTiSiN膜だけを等方にエッティングできる。

【0067】また、本実施の形態は実施の形態2にかかるエッティング方法にも適用することが可能で、同様の手法によってTiSiN膜1aおよびTiSi膜1bの積層膜のバターンサイズを細くすることができる。例えば上記と同様、フッ酸と過酸化水素水との混合液を用いたウェットエッティングを用いれば、0.01~0.05μmオーダーで細線化させる場合、TiSiN膜1aおよびTiSi膜1bをともにほぼ同じエッティングレートでエッティングすることができる。

【0068】本実施の形態にかかるエッティング方法を用いれば、ハードマスクとしてのTiSiN膜1aまたはTiSiN膜1aおよびTiSi膜1bの積層膜を細くすることができるので、被エッティング膜をさらに細くバターニングできる。

【0069】

【発明の効果】この発明のうち請求項1にかかるエッティング方法を用いれば、被エッティング膜が金属である場合に、第1のTiSiN膜が、被エッティング膜への密着性に優れ、かつ被エッティング膜とのエッティング選択比の高いエッティングマスクとして機能する。さらに、従来のSiO₂/TiN積層膜の場合と異なり、第1のTiSiN膜の形成および除去の工程が複雑ではない。

【0070】この発明のうち請求項2にかかるエッティング方法を用いれば、エッティングマスクとしての第1のTiSiN膜を細くすることができるので、被エッティング膜をさらに細くバターニングできる。

【0071】この発明のうち請求項3にかかるエッティング方法を用いれば、請求項1にかかるエッティング方法の有する効果に加え、被エッティング膜が金属である場合に、TiSi膜が被エッティング膜とのエッティング選択比のさらに高いエッティングマスクとして機能する。

【0072】この発明のうち請求項4にかかるエッティング方法を用いれば、マスクとしての第1のTiSiN膜およびTiSi膜を細くすることができるので、被エッ

チング膜をさらに細くバターニングできる。

【0073】この発明のうち請求項5にかかるエッティング方法を用いれば、第2のTiSiN膜が被エッティング膜のパリアメタルとして機能する。また、第1および第2のTiSiN膜の形成および除去の工程において、プロセスを迅速に進めることができる。

【0074】この発明のうち請求項6にかかるエッティングマスクを用いれば、被エッティング膜に金属を採用した場合に、被エッティング膜への密着性に優れ、かつ被エッティング膜とのエッティング選択比が高い。

【0075】この発明のうち請求項7にかかるエッティングマスクを用いれば、被エッティング膜に金属を採用した場合に、第1層については被エッティング膜への密着性に優れ、第2層については第1層よりも被エッティング膜とのエッティング選択比が高い。

【図面の簡単な説明】

【図1】 実施の形態1のエッティング方法の各段階を示す断面図である。

【図2】 実施の形態1のエッティング方法の各段階を示す断面図である。

【図3】 実施の形態1のエッティング方法の各段階を示す断面図である。

【図4】 実施の形態1のエッティング方法の各段階を示す断面図である。

【図5】 実施の形態1のエッティング方法の各段階を示す断面図である。

【図6】 実施の形態2のエッティング方法の各段階を示す断面図である。

【図7】 実施の形態2のエッティング方法の各段階を示す断面図である。

【図8】 実施の形態2のエッティング方法の各段階を示す断面図である。

【図9】 実施の形態2のエッティング方法の各段階を示す断面図である。

【図10】 実施の形態3のエッティング方法の各段階を示す断面図である。

【図11】 実施の形態3のエッティング方法の各段階を示す断面図である。

【図12】 DRAMの構造を示す断面図である。

【図13】 フォトレジストをエッティングマスクとして用いた従来のエッティング方法の各段階を示す断面図である。

【図14】 フォトレジストをエッティングマスクとして用いた従来のエッティング方法の各段階を示す断面図である。

【図15】 フォトレジストをエッティングマスクとして用いた従来のエッティング方法の各段階を示す断面図である。

【図16】 フォトレジストをエッティングマスクとして用いた従来のエッティング方法の各段階を示す断面図である。

50 用いた従来のエッティング方法の各段階を示す断面図であ

る。

【図 17】 フォトレジストをエッティングマスクとして用いた従来のエッティング方法の各段階を示す断面図である。

【図 18】 フォトレジストをエッティングマスクとして用いた従来のエッティング方法の各段階を示す断面図である。

【図 19】 フォトレジストをエッティングマスクとして用いた従来のエッティング方法の各段階を示す断面図である。

【図 20】 ハードマスクをエッティングマスクとして用いたエッティング方法の各段階を示す断面図である。

【図 21】 ハードマスクをエッティングマスクとして用いたエッティング方法の各段階を示す断面図である。

【図 22】 ハードマスクをエッティングマスクとして用

いたエッティング方法の各段階を示す断面図である。

【図 23】 ハードマスクをエッティングマスクとして用いたエッティング方法の各段階を示す断面図である。

【図 24】 ハードマスクをエッティングマスクとして用いたエッティング方法の各段階を示す断面図である。

【図 25】 従来用いられていた SiO₂膜からなるハードマスクを示す断面図である。

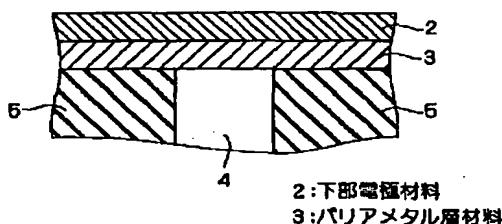
【図 26】 従来用いられていた TiN膜からなるハードマスクを示す断面図である。

【図 27】 従来用いられていた SiO₂/TiN積層膜からなるハードマスクを示す断面図である。

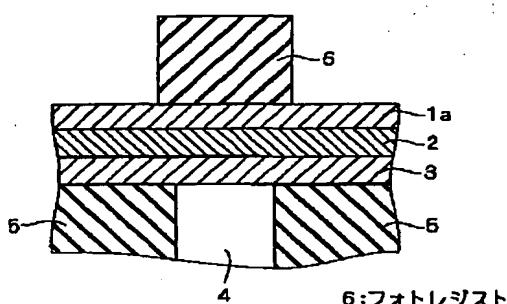
【符号の説明】

1 ハードマスク、1a TiSiN膜、1b TiSi膜、2 下部電極、3 パリアメタル層。

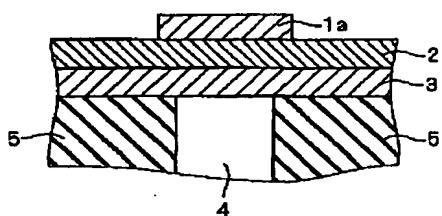
【図 1】



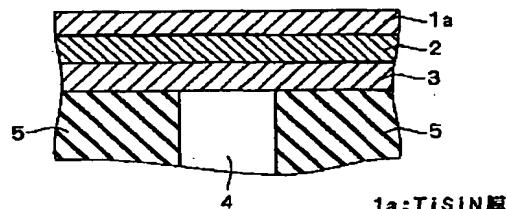
【図 3】



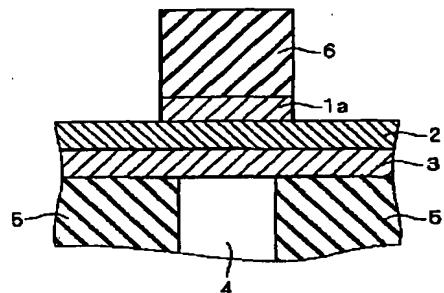
【図 5】



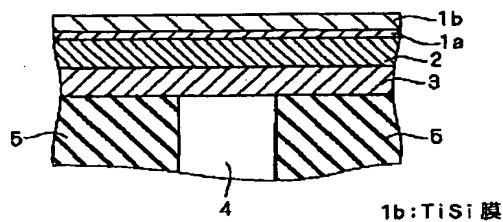
【図 2】



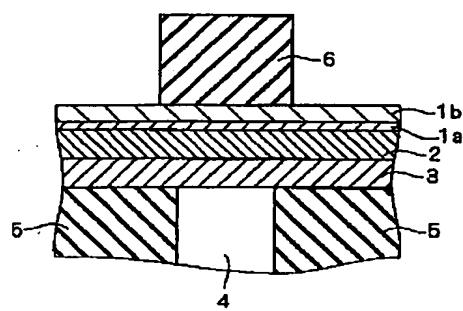
【図 4】



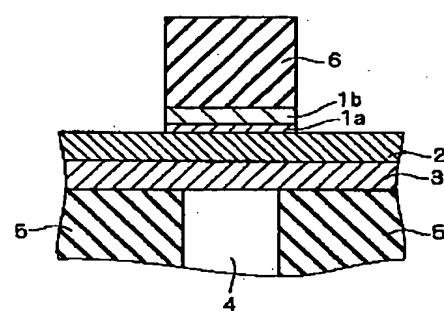
【図 6】



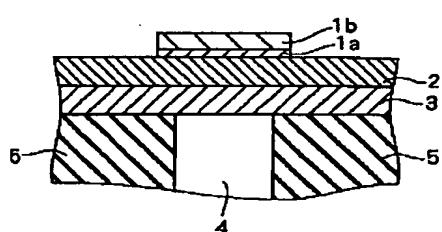
【図7】



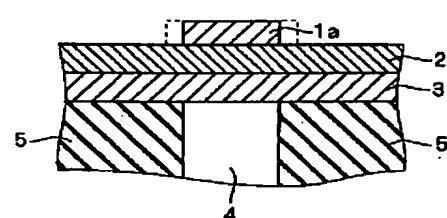
【図8】



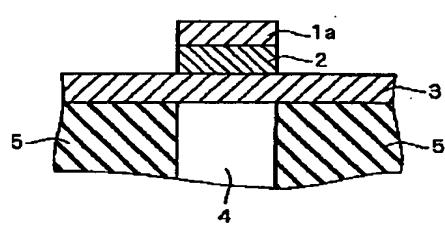
【図9】



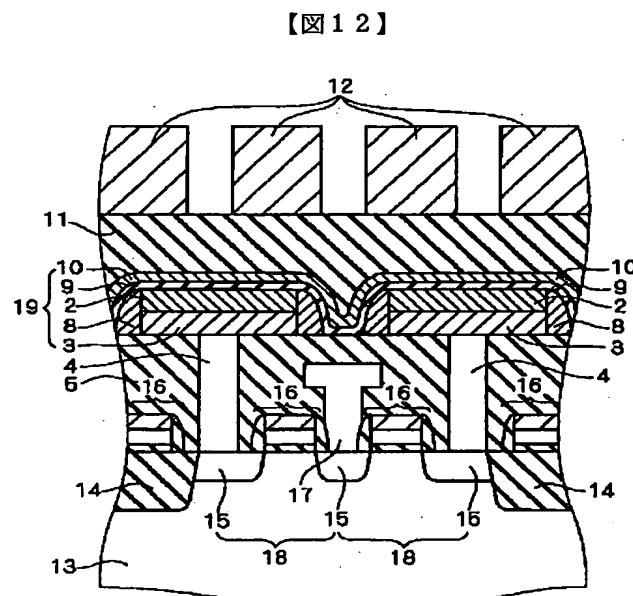
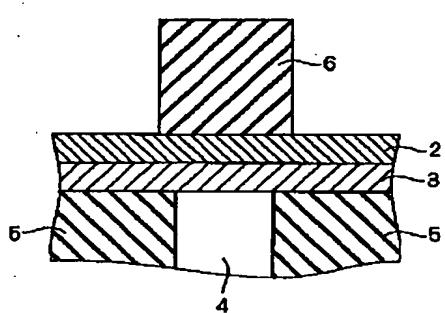
【図10】



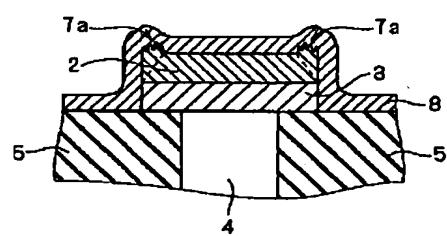
【図11】



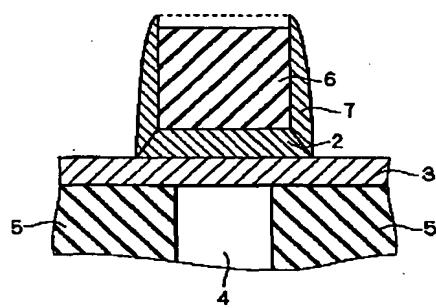
【図13】



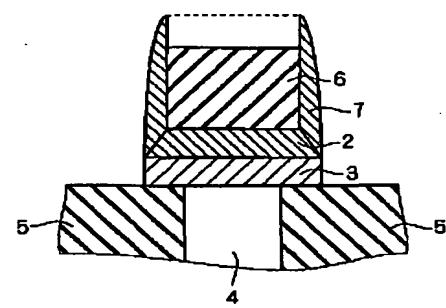
【図18】



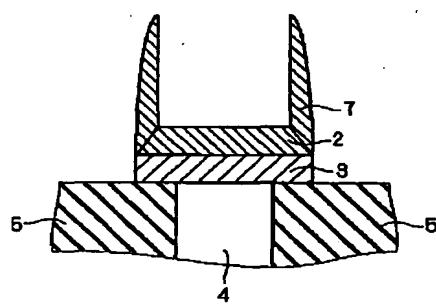
【図14】



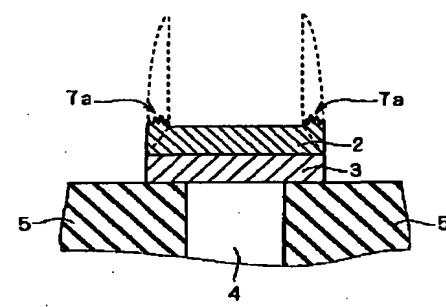
【図15】



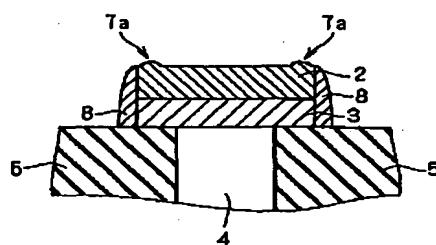
【図16】



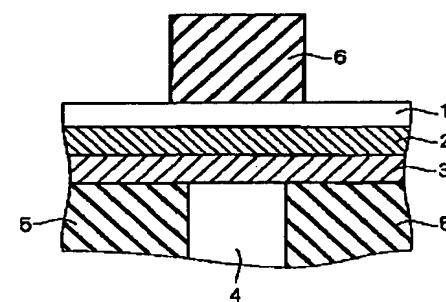
【図17】



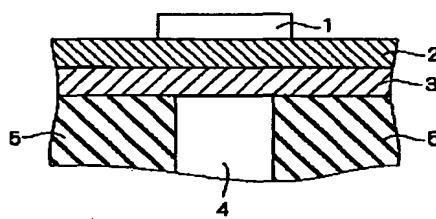
【図19】



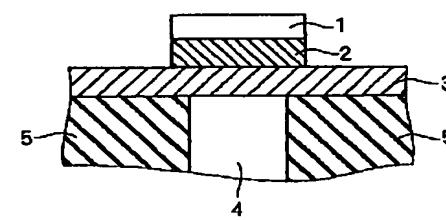
【図20】



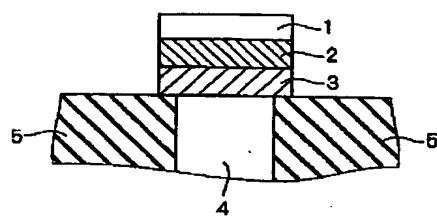
【図21】



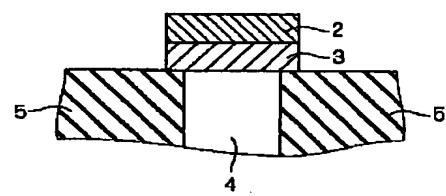
【図22】



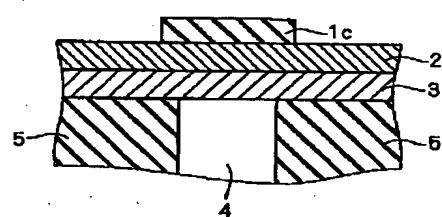
【図23】



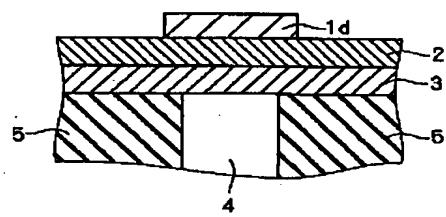
【図24】



【図25】



【図26】



【図27】

